

PAT-NO: JP410256324A

DOCUMENT-IDENTIFIER: JP 10256324 A

TITLE: SEMICONDUCTOR WAFER, MANUFACTURE OF
SEMICONDUCTOR DEVICE
AND IC CARD

PUBN-DATE: September 25, 1998

INVENTOR-INFORMATION:

NAME

MIYAGAWA, JUN

ASSIGNEE-INFORMATION:

NAME

TOSHIBA MICROELECTRON CORP

TOSHIBA CORP

COUNTRY

N/A

N/A

APPL-NO: JP09079194

APPL-DATE: March 14, 1997

INT-CL (IPC): H01L021/66, G01R031/28 , H01L021/02

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor wafer wherein the semiconductor device having the high security without decoding the testing conditions of product tests, the manufacturing method of the semiconductor device and the IC card utilizing this semiconductor device.

SOLUTION: For a semiconductor wafer 1, the test of the internal circuit of a ROM is performed through the testing pad formed on a scribe line 3. A testing pad 5 is broken when it is cut along the scribe line 3. Since the testing pad 5 is broken after the semiconductor 1 is cut and broken, the ROM test cannot be performed after the scribe line 3 of the semiconductor wafer is cut. Therefore, the high security can be maintained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256324

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

E

G 0 1 R 31/28

21/02

Z

H 0 1 L 21/02

G 0 1 R 31/28

V

審査請求 未請求 請求項の数15 F D (全 8 頁)

(21) 出願番号

特願平9-79194

(22) 出願日

平成9年(1997) 3月14日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮川 準

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

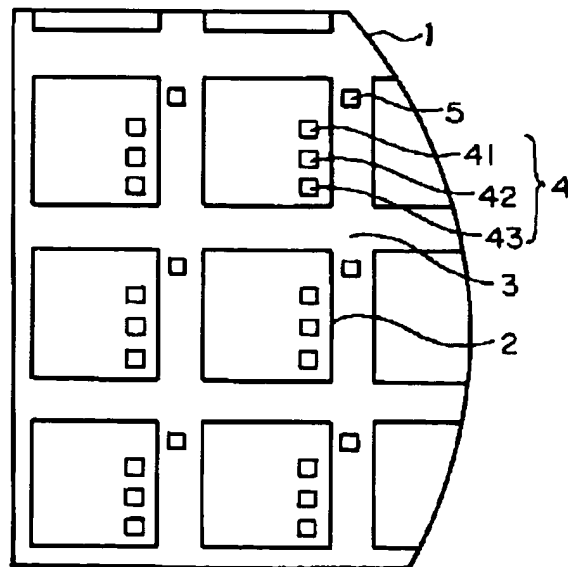
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体ウェーハ、半導体装置の製造方法及びICカード

(57) 【要約】

【課題】 製品テストのテスト条件が解読されずセキュリティの高い半導体装置が形成される半導体ウェーハ及び半導体装置の製造方法及びこの半導体装置を利用したICカードを提供する。

【解決手段】 半導体ウェーハ1はスクライブライン3上に形成されたテスト用パッド5を介してROMの内部回路のテストが行われる。テスト用パッド5は前記スクライブライン3に沿って切断されるときに破壊される。半導体ウェーハ1を切断・分離後テスト用パッド5は破壊されてしまうので、ROMテストは、半導体ウェーハのスクライブライン3にしたがって切断されてから後は出来ない。したがって、高度の機密性を保つことができる。



【特許請求の範囲】

【請求項1】 表面領域に形成されたROMを有する製品領域と、

表面に形成されたスクライブラインと、
前記スクライブライン上に形成されたテストパッドとを
備え、
前記テストパッドを介して前記ROMの内部回路のテスト
が行われることを特徴とする半導体ウェーハ。

【請求項2】 前記テスト用パッドは、前記スクライ
ブラインに沿って切断されるときに破壊されるように配置
されていることを特徴とする請求項1に記載の半導体ウ
ェーハ。

【請求項3】 前記テスト用パッドは、前記スクライ
ブラインの略中央に配置されていることを特徴とする請求
項2に記載の半導体ウェーハ。

【請求項4】 前記表面領域には前記製品領域が複数形
成され、かつ各製品領域は、それぞれ互いに前記スクラ
イブラインによって隔てられており、各ROMチップの
前記テスト用パッドは、それぞれ隣接する前記スクライ
ブラインに配置されていることを特徴とする請求項1乃至
請求項3のいずれかに記載の半導体ウェーハ。

【請求項5】 前記製品領域にはテストを制御する回路
が配置され、前記ROMの内部回路は、この制御回路を
介して前記テスト用パッドに電氣的に接続されているこ
とを特徴とする請求項1乃至請求項4のいずれかに記載
の半導体ウェーハ。

【請求項6】 前記半導体ウェーハ表面領域の前記製品
領域には前記制御回路に接続された拡散領域が形成さ
れ、この拡散領域は、スクライブラインまで延在して前
記テスト用パッドと接続されていることを特徴とする請
求項1乃至請求項5のいずれかに記載の半導体ウェー
ハ。

【請求項7】 前記製品領域の拡散領域は、抵抗を介し
てグラウンドに接続されていることを特徴とする請求項6
に記載の半導体ウェーハ。

【請求項8】 前記半導体ウェーハ表面領域上におい
て、前記製品領域には前記制御回路に接続されたポリシ
リコン配線が形成され、このポリシリコン配線は、スク
ライブラインまで延在して前記テスト用パッドと接続さ
れていることを特徴とする請求項1乃至請求項7のいづ
れかに記載の半導体ウェーハ。

【請求項9】 前記製品領域のポリシリコンは、抵抗を
介してグラウンドに接続されていることを特徴とする請求
項8に記載の半導体ウェーハ。

【請求項10】 前記テスト用パッドは、半導体評価装
置のテスト回路と入出力信号のやりとりをし、かつテス
トコードの入力信号を受けることを特徴とする請求項1
乃至請求項9のいずれかに記載の半導体ウェーハ。

【請求項11】 前記製品領域には、それぞれ対応する
複数のテスト用パッドを有し、それぞれの製品領域に対

応する前記複数のテスト用パッドの各テスト用パッド
は、前記入出力信号及び前記テストコードの入力信号の
いずれかを入出力することを特徴とする請求項10に記載
の半導体ウェーハ。

【請求項12】 前記製品領域には複数のROMが形成
されていることを特徴とする請求項1乃至請求項11に
記載の半導体ウェーハ。

【請求項13】 表面領域に形成され、ROMを有する
製品領域と、表面に形成されたスクライブラインと、前
記スクライブライン上に形成されたテスト用パッドとを
備えた半導体ウェーハを形成する工程と、
前記テスト用パッドを介して前記ROMの中で書き込み
可能なROMに対し書き込みが可能か否かの第1のテス
トを行う工程と、

前記半導体ウェーハの前記ROMの中で書き込み可能な
ROMに対し書き込みを行う工程と、
前記テスト用パッドを介して前記半導体ウェーハの前記
書き込み可能なROMに前記第1のテストに基づく書き
込みが行われたか否かの第2のテストを行う工程と、
前記スクライブラインに沿って前記半導体ウェーハを切
断し、前記製品領域をそれぞれチップに分離する工程
と、

前記チップをパッケージングして製品を形成する工程と
を備えていることを特徴とする半導体装置の製造方法。

【請求項14】 前記半導体ウェーハを形成する工程に
おいて、前記半導体ウェーハの表面領域に前記製品領域
から前記スクライブラインにわたる拡散領域を形成し、
この拡散領域が前記テスト用パッドと前記ROMとを電
氣的に接続するようにしたことを特徴とする請求項13
に記載の半導体装置の製造方法。

【請求項15】 請求項1乃至請求項12のいずれかに
記載の半導体ウェーハをスクライブラインに沿って分離
した半導体チップと、
前記分離した半導体チップを搭載した外器とを備えてい
ることを特徴とするICカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ROM(Read Only
Memory)を有する半導体装置に係り、とくにROMテス
トを行うときに用いられるテスト端子(以下、テスト用
パッドという)に関するものである。

【0002】

【従来の技術】従来シリコンウェーハなどの半導体ウ
ェーハは、スクライブライン(スクライブ領域)に沿って
切断され複数のチップに分離される。このチップは、そ
れぞれパッケージングなどの処理を行って半導体装置と
して製品化される。製品化されるまでにはその前後まで
にダイソータテストや製品テストなど幾つかのテストが
行われるのが通常である。図9は、従来の半導体ウェー
ハの部分的な平面図である。半導体ウェーハ1には、最

最終的にチップに分離される製品領域2が複数配置されている。製品領域2間にはスクライプ領域3が形成されている。製品領域2にはROMなどの集積回路からなる内部回路が形成されている。また、製品領域には外部回路と電氣的に接続するためのアルミニウムなどからなるパッド4が複数形成されている。パッド4は、内部回路と電氣的に接続されており、例えば、製品領域2の周辺部に配置されている。パッド4には、入出力用パッド41、42、43とともに、テスト用パッド40も形成配置されている。

【0003】従来の半導体装置に対するテスト、すなわち、ICテストは、図9で示すようにパッド4は、テスト用40にしても入出力用41、42、43にしてもスクライプライン3の内側、すなわち、製品領域2にある。製品を作る工程において、ダイソーテストでは、パッド4に針をあて、製品テストではボンディングを行なった半導体装置のパッドから、電圧、信号を入力し、適当なパッドより出力を取り出し、ダイソーテストや製品テストと原則1回以上テストを行っている。特に製品領域2の中のROMをテストする場合も他のテストと同じ工程中で行われる。従って、ウェハのスクライプ後に製品化し、市場に出た製品で、製品テストのテスト条件が何等かの形で解読されれば、第三者でもROMテスト条件を実現すれば、ROMの中味を読むことが可能である。とくに、電子決済用の半導体装置では、ROMの中味を解読されて悪用される危険性がでてくる。

【0004】

【発明が解決しようとする課題】最近の半導体装置の発展にともない、これを用いる電子決済 (electronic transaction) の実用化が可能になった。電子決済が実用化されるとエレクトロニックコマース (EC; 電子商取引) においては、ネットワークを通じて瞬時に決済が行えるという大きなメリットが生まれる。電子決済が社会的に受け入れられ普及していくためにはこれに対応できる社会制度をどのように構築するかの問題があるが、とくに技術開発は大きな問題である。技術開発で重要なものはセキュリティ技術である。インターネットにおけるセキュリティの問題として重要なことは、「盗み見」、「改ざん」、「成り済まし」、「しらばくれ」の4つである。「盗み見」は、ネットワークの途中で重要な情報が第三者に知られてしまうことであり、電子決済においては、カード番号情報が他人に知られて不正使用される場合である。「改ざん」は、ネットワークの途中で重要な情報が書き直されてしまうことであり、電子決済では口座間での貨幣価値の移動を指示するときに振り込み先の口座が書き直されてしまう場合や、電子マネーの送金において送金金額が書き直されてしまう場合である。

「成り済ます」は、顔の見えないネットワークにおいて、他人に成り済まして情報を送ることであり、電子決済においては社会的に信用のある小売店であると偽って

消費者から電子マネーを送金させ、これを詐取する場合である。「しらばくれ」は、電子マネーを受けとったのに受けとったのは自分ではないと否認することや、電子決済においては小売店から商品送付を受けた後受けとっていないとしらばくれる場合である。

【0005】これらの問題は、早晚技術開発の進展によって解決可能であり、電子決済と電子マネーに関する問題の相対的な重点は社会制度へと移っていく。さらに、電子決済や電子マネーが社会的に受容されるようになるには、「セキュリティ (安全)」から「コンフォート (安心)」へのパラダイム転換を図る必要がある (NIKK EI ELECTRONICS 1996.12.16 pp171-181参照)。このセキュリティが守られるためには、ICやLSIなどの半導体装置の内容が他人に知られないようにすることが重要であり、とくに市場に出た半導体装置の製品で、製品テストのテスト条件が何等かの形で解読され、第三者でもROMテスト条件を実現すれば、ROMの中味を読むことが可能になるので電子決済用の半導体装置では、ROMの中味を解読されて悪用される危険性を無くす必要がある。本発明は、このような事情によりなされたものであり、製品テストのテスト条件が解読されずセキュリティの高い半導体装置が形成される半導体ウェーハ及び半導体装置の製造方法を提供する。

【0006】

【課題を解決するための手段】本発明は、このような課題を解決するために、スクライプライン上に形成されたテスト用パッドを介してROMの内部回路のテストが行われる半導体ウェーハを特徴とし、前記テスト用パッドは、前記スクライプラインに沿って切断されるときに破壊されることを特徴とする。半導体ウェーハを切断・分離後テスト用パッドは破壊されてしまうので、ROMテストは、半導体ウェーハのスクラップラインにしたがって切断されてからは出来ず、したがって、高度の機密性を保つことができる。すなわち、本発明の半導体ウェーハは、表面領域に形成されたROMを有する製品領域と、表面に形成されたスクライプラインと、前記スクライプライン上に形成されたテストパッドとを備え、前記テストパッドを介して前記ROMの内部回路のテストが行われることを特徴とする。前記テスト用パッドは、前記スクライプラインに沿って切断されるときに破壊されるように配置されているようにしても良い。前記テスト用パッドは、前記スクライプラインの略中央に配置されているようにしても良い。

【0007】前記表面領域には前記製品領域が複数形成され、かつ各製品領域は、それぞれ互いに前記スクライプラインによって隔てられており、各ROMチップの前記テスト用パッドは、それぞれ隣接する前記スクライプラインに配置されているようにしても良い。前記製品領域にはテストを制御する回路が配置され、前記ROMの内部回路は、この制御回路を介して前記テスト用パッド

に電氣的に接続されているようにしても良い。前記半導体ウェーハ表面領域の前記製品領域には前記制御回路に接続された拡散領域が形成され、この拡散領域は、スクライブラインまで延在して前記テスト用パッドと接続されているようにしても良い。前記製品領域の拡散領域は、抵抗を介してグランドに接続されているようにしても良い。前記半導体ウェーハ表面領域上において、前記製品領域には前記制御回路に接続されたポリシリコン配線が形成され、このポリシリコン配線は、スクライブラインまで延在して前記テスト用パッドと接続されているようにしても良い。前記製品領域のポリシリコンは、抵抗を介してグランドに接続されているようにしても良い。前記テスト用パッドは、半導体評価装置のテスト回路と入出力信号のやりとりをし、かつテストコードの入力信号を受けるようにしても良い。前記製品領域には、それぞれ対応する複数のテスト用パッドを有し、それぞれの製品領域に対応する前記複数のテスト用パッドの各テスト用パッドは、前記入出力信号及び前記テストコードの入力信号のいずれかを入出力するようにしても良い。前記製品領域には複数のROMが形成されているようにしても良い。

【0008】また、本発明の半導体装置の製造方法は、表面領域に形成され、ROMを有する製品領域と、表面に形成されたスクライブラインと、前記スクライブライン上に形成されたテスト用パッドとを備えた半導体ウェーハを形成する工程と、前記テスト用パッドを介して前記ROMの中で書き込み可能なROMに対し書き込みが可能か否かの第1のテストを行う工程と、前記半導体ウェーハの前記書き込み可能なROMに対し書き込みを行う工程と、前記テスト用パッドを介して前記半導体ウェーハの前記書き込み可能なROMに対し前記第1のテストに基づく書き込みが行われたか否かの第2のテストを行う工程と、前記スクライブラインに沿って前記半導体ウェーハを切断し、前記製品領域をそれぞれチップに分離する工程と、前記チップをパッケージングして製品を形成する工程とを備えていることを特徴とする。前記半導体ウェーハを形成する工程において、前記半導体ウェーハの表面領域に前記製品領域から前記スクライブラインにわたる拡散領域を形成し、この拡散領域が前記テスト用パッドと前記ROMとを電氣的に接続するように構成しても良い。本発明のICカードは、前記半導体ウェーハをスクライブラインに沿って分離した半導体チップと、前記半導体チップを搭載した略長形状の弾性カードとを具備していることを特徴とする。

【0009】

【発明の実施の形態】以下、図面を参照しながら発明の実施の形態を説明する。本発明は、スクライブラインに形成され、チップ形成領域のテスト制御回路に接続された拡散領域に接続されたテスト用パッドを介して前記ROMの内部回路のテストが行われる高度の機密性を有す

る半導体ウェーハを特徴とする。そして、テスト用パッドは、スクライブラインに沿って切断されるときに破壊されるように配置されている。まず、図1乃至図5を参照して第1の実施例を説明する。図1は、半導体ウェーハの平面図、図2は、図1に示されたA領域の拡大平面図である。図1に示すように、シリコン半導体などのウェーハ1の主面には、複数のチップ形成領域（以下、製品領域という）2が繰り返し形成されている。この領域間にはスクライブライン（スクライブ領域）3が形成されており、ウェーハ1は、ウェーハ表面のスクライブラインに沿ってダイヤモンド刃のカッターやレーザビームで切断され、1つ1つのチップに分離される。

【0010】次に、この製品領域2とその間のスクライブライン3の詳細を図2を参照して説明する。半導体ウェーハ1には、最終的にチップに分離される製品領域2が繰り返し複数配置されている。製品領域2間にはスクライブ領域3が形成されている。製品領域2（チップ）にはROMなどの集積回路からなる内部回路が形成されている。また、製品領域2には外部回路と電氣的に接続するためのアルミニウムなどからなる入出力用パッド（端子）41、42、43・・・が複数形成されている。入出力用パッド41、42、43・・・は、内部回路と電氣的に接続されており、例えば、製品領域2の周辺部に配置されている。入出力パッドとともにテスト用パッド5も必要である。本発明は、テスト用パッド5の半導体ウェーハにおける配置に特徴がある。すなわち、ICテストに必要なテスト用パッド5は、製品領域2に隣接するスクライブ領域（スクライブライン）3上に形成されている。この実施例におけるパッドは、インプット、アウトプット共通の端子である。ROMテストを開始するコードを入力すると、テスト制御回路（図3に示す9）がテスト開始コードを認識して、ROM（図3に示す10）の中味の払い出しを開始する。ROMテストの終了は、テストコードで約束された条件が成立した時、テスト用パッド（ROM端子）5に前記制御回路から出力されるROMテスト終了コードを計測系が認識して判定とテスト終了をする。

【0011】本発明では、このテスト用パッド5を介してダイソーテストや製品テストとをウェーハ1の状態のときに行っている。そして、半導体ウェーハ1をスクライブライン3に沿って切断してチップを分離したときには、テスト用パッドは消失しているので、製品化し、市場に出た半導体装置は、ROMの中味を知られることがない。特に電子決済用の半導体装置では、ROMの中味を解読されて悪用される危険性がなくなる。図2の製品領域（チップ形成領域）2には、それぞれ4個のパッドが形成され、その内の1つがテスト用であるが、通常、チップには60～100個程度のパッドを形成し、その内テスト用には、1～数個を用いる。図3は、図2に記載された半導体ウェーハ1に形成されたテスト用パッド

7

(ROMテスト端子)5の詳細を模式的に示す拡大したブロック平面図である。製品領域2にはROM10及びROMテストを制御するテスト制御回路9が形成され、両者は、拡散、ポリシリコンなどからなる信号ライン12により接続されている。スクライブ領域3にはテスト用パッド5が形成されている。製品領域2とスクライブ領域3の両領域にまたがるように半導体ウェーハ1の表面領域に拡散領域7が形成されている。拡散領域7は、例えば、AsやPなどの不純物イオンを注入して形成され、テスト制御回路9とテスト用パッド5とを接続する信号ラインに使用される。拡散領域7とテスト用パッド5とは、絶縁膜(図示しない)のコンタクト孔6を介して接続されている。

【0012】インプット、アウトプット共通の端子であるスクライブライン3上のテスト用パッド5から拡散領域7を介してテスト制御回路9にテスト開始コードが入力される。前記拡散領域7の製品領域2の部分は、拡散、ポリシリコンなどの抵抗8を介して、グランドに接地されている。テスト用パッド5側は、この接地抵抗8を考慮した計測テスト回路(図5に示すテスト回路15)が構築される。テスト開始コードが認識されると、テスト用パッド5は、出力端子となりROMデータが払い出される。ROMテストは、テストコードで約束された条件が成立した時、テスト用パッド5にテスト制御回路9から出力されるROMテスト終了コードを計測系が認識して判定によりテストを終了する。抵抗8は、半導体ウェーハ1のスクライブ後にチップに対して回路的にROM端子が悪さをしないために拡散領域(信号ライン)7を接地する。また、抵抗8は、スクライブ前は前記計測テスト回路の構成の一部となる。拡散領域7は、制御回路9の能動素子18、24(図5参照)に接続される。

【0013】図4は、図3のA-A'線に沿う部分の概略断面図である。半導体ウェーハ1は、例えば、n型シリコン半導体から構成されている。半導体ウェーハ1の表面領域には、製品領域とスクライブ領域にまたがって形成された、例えば、n型の拡散領域7が形成されている。また、この表面領域の製品領域には、テスト制御回路を形成するMOSトランジスタTrのn型ソース/ドレイン領域16が形成されている。ソース/ドレイン領域16間の半導体ウェーハ1上にゲート酸化膜17を介してポリシリコンなどからなるゲート電極18が形成されている。半導体ウェーハ1の表面は、ゲート電極18を含めてSiO₂などの絶縁膜13によって被覆されている。そして、スクライブ領域の絶縁膜13にスクライブライン3が形成されている。絶縁膜厚がスクライブ領域は薄くなっている。スクライブ領域の絶縁膜13にはコンタクト孔6が形成されており、このコンタクト孔6を介してアルミニウムからなるパッド5と拡散領域7とが接続されている。おなじく製品領域においても、拡散

8

領域を露出させるコンタクト孔がそれぞれ絶縁膜13に形成されている。そして、ゲート電極18を延在させたポリシリコン配線19がこのコンタクト孔を介してトランジスタTrのゲート電極18と拡散領域7とを電氣的に接続している。図示はしないが、製品領域の拡散領域7には接地抵抗8が形成されている。

【0014】図3及び図4に示すように、テスト用パッド5は、スクライブライン3の幅方向の略中央に配置されている。また、テスト用パッド5の1辺の長さは、略スクライブライン3の幅の半分以下である。この実施例では、スクライブライン3の幅は、80 μ m程度であり、テスト用パッド5の1辺は、ほぼ40 μ mである。コンタクト孔径は、4~6 μ m程度である。このような構造の半導体ウェーハ1をスクライブライン3に沿って切断すると、テスト用パッド5は、半導体チップから確実に取り除かれてしまう。したがって、製品化された半導体集積回路装置に記録された情報を他人が盗むことは不可能である。また、この拡散領域は、半導体ウェーハ表面からイオン注入法による埋め込み層にしても良い。この場合は、テスト用パッド及び金属配線との接続部分には半導体ウェーハ表面に露出するコンタクト領域をコンタクト孔に接して形成する。コンタクト領域とトランジスタのソース/ドレイン領域とは同じ工程で形成することができる。例えば、PやAsイオンを注入して拡散する方法を用いてn型拡散領域を形成する。信号ラインもイオン注入法で形成することができる。トランジスタは、pチャネルMOSトランジスタを用いても良い。

【0015】この実施例では、n型拡散領域を信号ラインに用いたが、本発明では、p型拡散領域を用いることもできる。図5は、この実施例の半導体ウェーハをテストする具体的な動作を説明するシステムブロック図である。ROMテストを行うには、テストを用いる。テストは、半導体評価装置14を備えたテスト回路が形成されたテストボード15から構成されている。半導体評価装置14に接続された信号ライン11が半導体ウェーハ1上の各テスト用パッド5に接触され、次々ROMテストされる。信号ライン11は、固定カードに取り付けられた探針を用いる。ROMテストに際しては、テスト用パッド5に信号を入出力して半導体ウェーハ1上の製品領域(チップ形成領域)のROMの中味を検査する。テストボード15には、信号ライン11に接続される抵抗20と、抵抗20に接続される電源21と、入出力バッファ22を介して半導体評価する判定回路23を備えた半導体評価装置14が形成されている。製品領域1のテスト制御回路9と拡散領域7とを接続する場合にも入出力バッファ24が介在されている。接地抵抗8、信号ライン7、11、抵抗20及び電源21で外部インターフェースを構成する。

【0016】次に、図6を参照して第2の実施例を説明する。半導体ウェーハ1には、最終的にチップに分離さ

れる製品領域2が繰り返し複数配置されている。製品領域2間にはスクライブ領域3が形成されている。製品領域2にはROMなどの集積回路からなる内部回路が形成されている。また、製品領域2には外部回路と電氣的に接続するためのアルミニウムなどからなる入出力用パッド41、42、43・・・が複数形成されている。入出力用パッド41、42、43・・・は、内部回路と電氣的に接続されており、例えば、製品領域2の周辺部に配置されている。この実施例では、テスト用パッドの数と半導体ウェーハにおける配置とに特徴がある。すなわち、ROMテストに必要なテスト用パッド5は、製品領域2に隣接するスクライブ領域(スクライブライン)3上に複数形成されている。製品領域2において、テストコード信号をROMが入力するテスト用パッド51は、製品領域2の上に配置され、書き込み可能ROMに信号を入力するテスト用パッド52及びROMが信号を出力するテスト用パッド53は、製品領域2の側面に配置される。

【0017】ROMテストを開始するコードをテスト用パッド51から入力すると、テスト制御回路(図3に示す9)がテスト開始コードを認識して、ROM(図3に示す10)の中味の払い出しを開始する。ROMテストの終了は、テストコードで約束された条件が成立した時テスト用パッド53に前記テスト制御回路から出力されるROMテスト終了コードを計測系が認識して判定とテスト終了をする。半導体ウェーハ1をスクライブライン3に沿って切断してチップを分離したときには、テスト用パッドは消失しているので、製品化し、市場に出た半導体装置は、ROMの中味を知られることがない。特に電子決済用の半導体装置では、ROMの中味を解読されて悪用される危険性がなくなる。また、第1の実施例のように従来テストで行われたシリアルに信号のやり取りをする必要がなくなる。

【0018】次に、図7を参照して第3の実施例を説明する。図は、半導体ウェーハに形成されたテスト用パッド5の詳細を模式的に示す拡大したブロック平面図である。この実施例は、製品領域に複数のROMが形成されていることに特徴がある。製品領域2には、複数のROM(ROM101、ROM102、・・・)及びROMテストを制御するテスト制御回路9が形成され、複数のROMに1つのテスト制御回路9が拡散配線やポリシリコン配線などからなる信号ライン12により接続されている。テスト用パッド5は、スクライブ領域3に形成されている。製品領域2とスクライブ領域3の両領域にまたがるように半導体ウェーハ1の表面領域に拡散領域7が信号ラインとして形成されている。入出力共通の端子であるスクライブライン3上のテスト用パッド5から拡散領域7を介してテスト制御回路9にテスト開始コードが入力される。拡散領域7の製品領域2の部分は、ポリシリコンなどの抵抗8を介して、グランドに接地されて

いる。テスト用パッド5側は、この接地抵抗8を考慮した計測テスト回路(図5に示すテスト回路15)が構築される。

【0019】テスト開始コードが認識されると、テスト用パッド5は、出力端子となりROMデータが払い出される。ROMテストは、テストコードで約束された条件が成立した時、テスト用パッド5にテスト制御回路9から出力されるROMテスト終了コードを計測系が認識して判定によりテストを終了する。この実施例では、1つのチップに複数のROMが形成されている。これらのROMは、1つのテスト制御回路に接続されているので、順次各ROMのテストを行うことができる。

【0020】次に、図8を参照して半導体ウェーハからチップを分離し、半導体装置を形成する製造工程を説明する。図は、本発明の半導体装置の製造工程を示すフローチャート図である。まず、

① 半導体ウェーハ表面領域に、ROMを有する製品領域を形成し、表面上にスクライブラインを形成する。前記スクライブライン上にはテスト用パッドを形成する(半導体ウェーハ形成工程)。② 次に、前記テスト用パッドを介して前記ROMに対し書き込みが可能か否かのテストを行うと同時に既にプロセスで書き込んであるROMデータのテストを行う(第1のテスト工程)。③

次に、前記半導体ウェーハのROMに対し書き込みを行う(書き込み工程)。④ 次に、前記テスト用パッドを介して前記半導体ウェーハのROMに前記第1のテストに基づく書き込みが行われたか否かのテストを行う(第2のテスト工程)。⑤ 次に、前記スクライブラインに沿って前記半導体ウェーハを切断し、前記製品領域をそれぞれチップに分離する(切断工程)。⑥ 次に、前記チップをパッケージングして製品を形成する(パッケージング工程)。前記半導体ウェーハを形成する工程において、前記半導体ウェーハの表面領域に前記製品領域から前記スクライブラインにわたる拡散領域又はポリシリコン配線を形成し、この拡散領域又はポリシリコン配線が前記テスト用パッドと前記ROMとを電氣的に接続するように構成する。

【0021】以上のように、本発明において、ROMテストは、半導体装置を製造する者だけが半導体ウェーハ上でのみ行うことができ、半導体ウェーハを複数のチップに分離してからは半導体装置を製造する者でもROMテストを行うことができない。したがって、本発明は、高度の機密性が保てる。したがって、例えば、外器として用いられる略長方形のカードに半導体装置が形成されたチップを搭載してICカードを形成する。ICカードは、電子決済や電子マネーに用いられるが、本発明は、以上のように高度の機密性が得られるので、これらに対するセキュリティ(安全)が向上し、これらは次第にコンフォート(安心)なものとして社会的に受容されい

【0022】

【発明の効果】本発明は、以上のような構成により、ROMテストが半導体装置を製造する者だけが半導体ウェーハ上でのみ行うことができ、そして、半導体ウェーハをスクライブラインに沿って分離後は半導体装置を製造する者でもROMテストを行うことができないため高度の機密性を維持することができる。また、信号ラインには拡散領域を使用しているため分離後のチップは、信頼性確保のために特別な処理をしなくても良い。さらに、信号ラインとなる拡散領域は、分離後は抵抗を介して接地されるので切り離したチップ内の集積回路は安定である。

【図面の簡単な説明】

【図1】本発明の半導体ウェーハの平面図。

【図2】図1のA領域の拡大平面図。

【図3】本発明の半導体ウェーハの製品領域内部構造を示す模式平面図。

【図4】図3のA-A'線に沿う部分の断面図。

【図5】本発明の半導体ウェーハのテスト動作を示す模式平面図。

【図6】本発明の半導体ウェーハの部分平面図。

【図7】本発明の半導体ウェーハの製品領域内部構造を

示す模式平面図。

【図8】本発明の半導体装置の製造工程を示すフローチャート図。

【図9】従来の半導体ウェーハの平面図。

【図10】本発明によってテストされたチップを搭載したICカードの平面図。

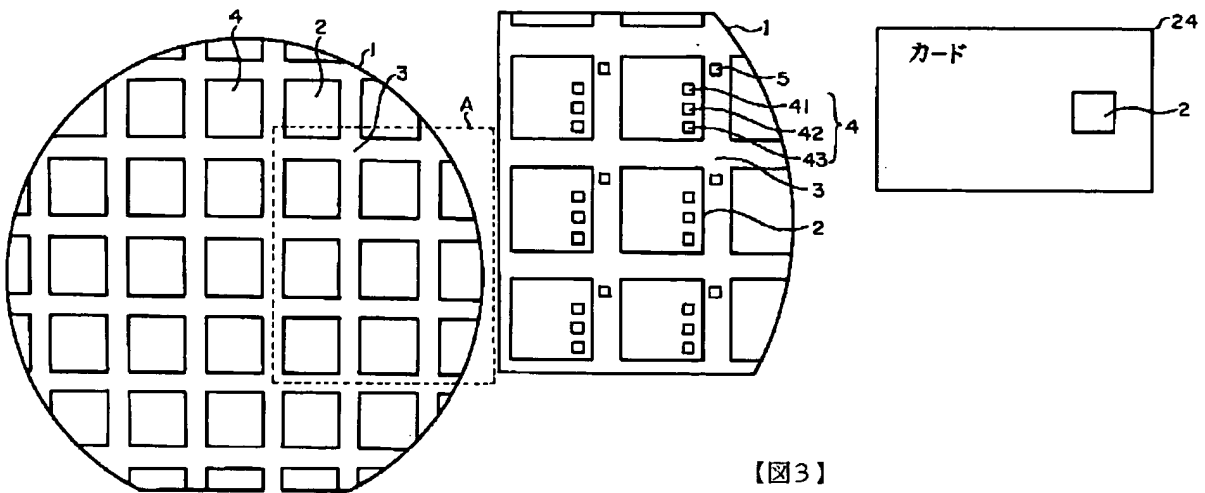
【符号の説明】

1・・・半導体ウェーハ、 2・・・製品領域(チップ)、3・・・スクライブライン領域(スクライブライン)、4、41、42、43・・・チップ内のパッド、5、40、51、52、53・・・テスト用パッド、6・・・コンタクト孔、 7・・・拡散領域(信号ライン)、8・・・接地抵抗、 9・・・テスト制御回路、10、101、102・・・ROM、 11、12・・・信号ライン、13・・・絶縁膜、 14・・・半導体評価装置(テスト)、15・・・テストボード、16・・・ソース/ドレイン領域、17・・・ゲート酸化膜、 18・・・ゲート電極、19・・・ポリシリコン配線、 20・・・抵抗、 21・・・電源、22、24・・・入出力バッファ、 23・・・判定回路、24・・・外器。

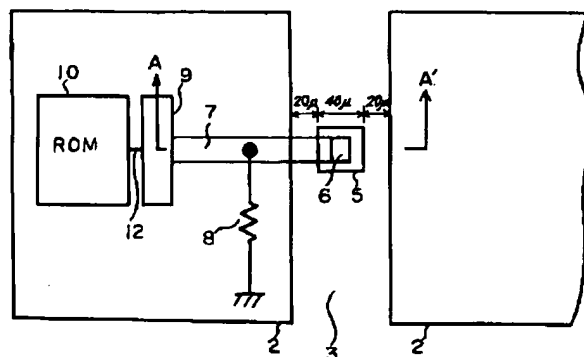
【図1】

【図2】

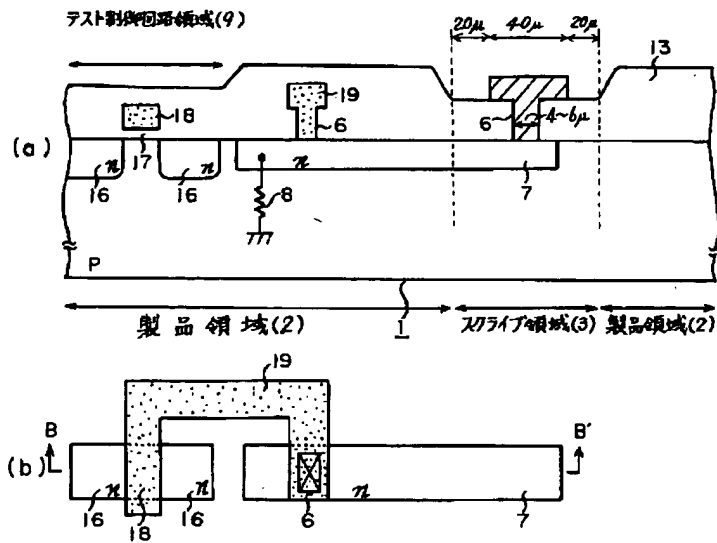
【図10】



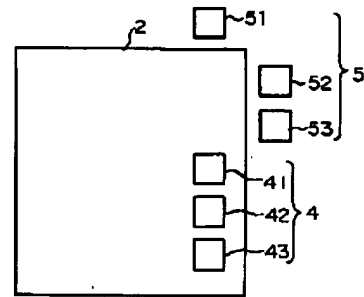
【図3】



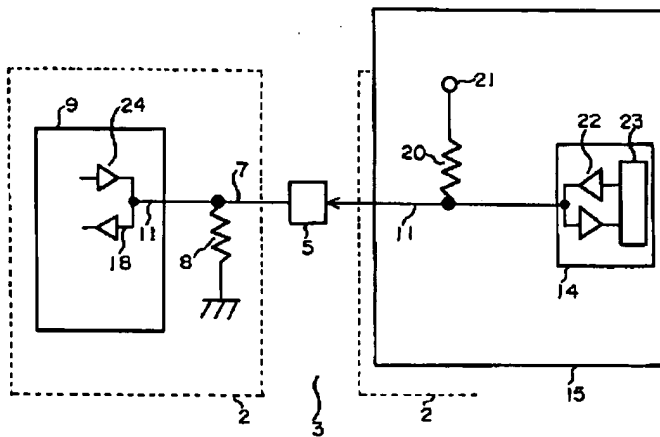
【図4】



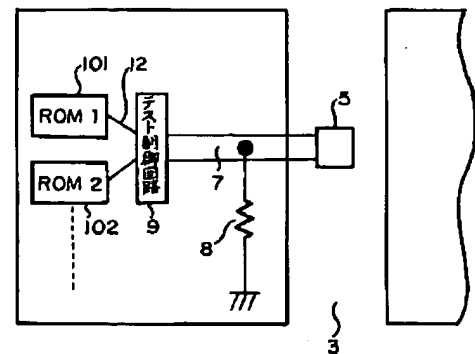
【図6】



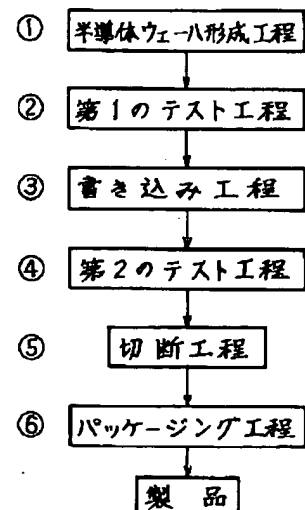
【図5】



【図7】



【図8】



【図9】

